دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده مهندسی برق

دانشگاه صنعتی خواجه نصیرالدین طوسی
دانشکده مهندسی برق
کتابخانه

طراحی مدار بازیابی کلاک و داده در سرعت بالا با پهنای باند حلقه قابل تطبیق

پایان‌نامه برای دریافت درجه کارشناسی ارشد

در رشته مهندسی برق گرایش مدارهای مجتمع الکترونیک

سجاد صباغی صابر

استاد راهنما:

دکتر مهدی احسانیان

بهمن ماه ۱۳۹۶

دانشگاه صنعتی خواجه نصیرالدین طوسی
دانشکده مهندسی برق
کتابخانه
تاریخ ثبت: ۹۷/۷/۱
شماره دفتر ثبت: ۲۴۰۵
۹۷/۱۴...

Scanned by CamScanner

چکیده

در این پایان‌نامه یک مدار بازیابی ساعت و داده در فرکانس کاری ۱۰ GHz با آشکارساز فاز خطی در فناوری ۰/۱۸ µm استاندارد CMOS طراحی و شبیه‌سازی شده‌است. از مزایای این سیستم محدوده قفل بالا می‌باشد که می‌تواند داده ورودی با بازه فرکانسی ۹/۱ GHz تا ۱۰/۸ GHz را بدون نیاز به حلقه اضافی برای آشکارسازی فرکانس دنبال کند. این محدوده قفل وسیع با استفاده از روش تغییر نقطه بارق آشکارساز خطی Hogge به‌صورت متناسب و درنتیجه افزایش و کاهش ولتاژ کنترل به‌دست می‌آید. این سیستم هم‌چنین برای داشتن مشخصه جیتر بهتر می‌تواند پهنای باند خود را به‌صورت خودکار از حدود ۳/۲ MHz تا ۹ MHz پس از قفل شدن مدار روی فرکانس ورودی، تغییر دهد که درنتیجه آن مشخصه انتقال جیتر ۸ dB بهبود می‌یابد. در این مدار، تغییر پهنای باند بدون تغییر در مقدار بالازدگی جیتر در مشخصه انتقالی جیتر رخ می‌دهد. جیتر تصادفی تولید شده توسط سیستم طراحی‌شده برای نرخ خطای بیت 10^{-12} برابر با $0.486\ ps_{rms}$ می‌باشد و سیستم توان ۲۵۰/۸ mW را با منبع ولتاژ ۱/۸ V مصرف می‌کند.

واژه‌های کلیدی: مدار بازیابی ساعت و داده سرعت بالا، پهنای باند قابل تطبیق با سیستم، آشکارسازفاز خطی Hogge، گستره رنج قفل بالا، پروتکل SONET OC-192.

Scanned by CamScanner