

دانشگاه صنعتی خواجه نصیرالدین طوسی



دانشکده مهندسی برق

طراحی مدار بازیابی کلاک و داده در سرعت بالا با پهنای باند حلقه قابل تطبیق

پایان نامه برای دریافت درجه کارشناسی ارشد

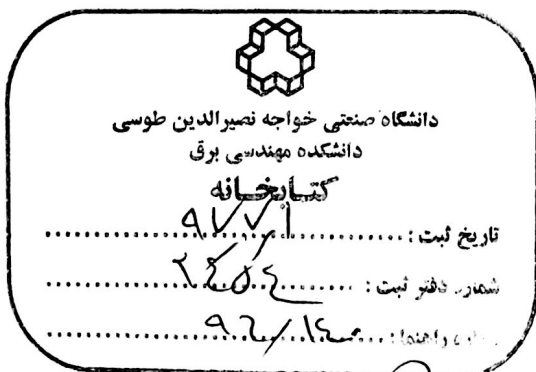
در رشته مهندسی برق گرایش مدارهای مجتمع الکترونیک

سجاد صباغی صابر

استاد راهنما:

دکتر مهدی احسانیان

بهمن ماه ۱۳۹۶



چکیده

در این پایان نامه یک مدار بازیابی ساعت و داده در فرکانس کاری ۱۰ GHz با آشکارساز فاز خطی در فناوری $0.18 \mu\text{m}$ استاندارد CMOS طراحی و شبیه سازی شده است. از مزایای این سیستم محدوده قفل بالا می باشد که می تواند داده ورودی با بازه فرکانسی ۹/۱ GHz تا ۱۰/۸ GHz را بدون نیاز به حلقه اضافی برای آشکارسازی فرکانس دنبال کند. این محدوده قفل وسیع با استفاده از روش تغییر نقطه بارق آشکارساز خطی Hogge به صورت متناسب و در نتیجه افزایش و کاهش ولتاژ کنترل به دست می آید. این سیستم هم چنین برای داشتن مشخصه جیتر بهتر می تواند پهنای باند خود را به صورت خودکار از حدود ۳/۲ MHz تا ۹ MHz پس از قفل شدن مدار روی فرکانس ورودی، تغییر دهد که در نتیجه آن مشخصه انتقال جیتر ۸ dB بهبود می یابد. در این مدار، تغییر پهنای باند بدون تغییر در مقدار بالازدگی جیتر در مشخصه انتقالی جیتر رخ می دهد. جیتر تصادفی تولید شده توسط سیستم طراحی شده برای نرخ خطای بیت 10^{-12} برابر با $0.486 \text{ ps}_{\text{rms}}$ می باشد و سیستم توان $250/8 \text{ mW}$ را با منبع ولتاژ $1/8 \text{ V}$ مصرف می کند.

واژه های کلیدی: مدار بازیابی ساعت و داده سرعت بالا، پهنای باند قابل تطبیق با سیستم، آشکارساز فاز خطی Hogge، گستره رنج قفل بالا، پروتکل SONET OC-192.