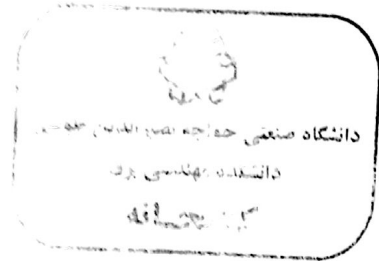


۱۳۰۷

دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده مهندسی برق و کامپیوتر



پایان نامه دوره کارشناسی ارشد مهندسی برق- الکترونیک

طراحی و شبیه‌سازی مدار مرجع ولتاژ زیر یک ولت با توان پایین

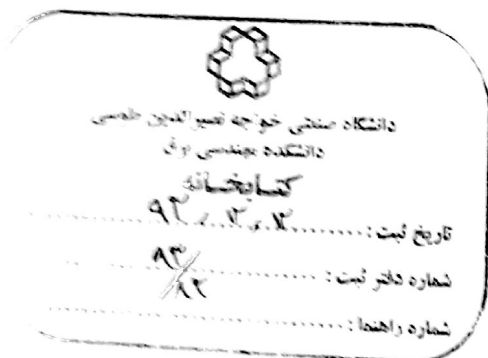
توسط:

ایمان فخاریان دارابی نژاد

استاد راهنما:

دکتر مهدی احسانیان

زمستان ۱۳۹۳



چکیده

در این پایان‌نامه یک مدار مرجع ولتاژ پایین با توان پایین ارائه گردیده است. در مدار مرجع پیشنهادی تمامی ترانزیستورهای MOS در ناحیه زیرآستانه بایاس گردیده‌اند. در ساختار مدار برای کاهش حجم اشغالی بر روی ویفر و همچنین کاهش توان تلفاتی، از مقاومت استفاده نشده است، برای سازگاری بیشتر با تکنولوژی CMOS و جلوگیری از پیچیدگی مراحل ساخت، در مدار فقط از ترانزیستور MOS استفاده گردیده است. این مدار شامل سه بلوک اصلی می‌باشد. بلوک اول منبع جریان است که وظیفه تولید جریان در محدوده‌ی نانوامپر را دارد، که در این پایان‌نامه یک منبع جریان، با جریان تولیدی $2/3$ نانوامپر، بدون استفاده از مقاومت ارائه می‌گردد. بلوک دوم تولید کننده ولتاژ¹ PTAT و بلوک سوم تولید کننده ولتاژ² CTAT می‌باشد. مدار مرجع ولتاژ در تکنولوژی $0/18$ میکرومتر CMOS طراحی و شبیه‌سازی گردیده است. نتایج شبیه‌سازی پسا جانمایی³ نشان می‌دهد که این مدار دارای جریان مصرفی $17/8$ نانوامپر در ولتاژ تغذیه $0/9$ ولت می‌باشد. ولتاژ مرجع تولید شده در این مدار 625 میلی‌ولت است که دارای تغییرات دمایی $13PPM/^\circ C$ در محدوده‌ی دمایی $25-$ درجه سانتیگراد تا 110 درجه سانتیگراد می‌باشد. مقدار PSRR⁵ محاسبه شده در فرکانس 100 هرتز $42-$ دسی‌بل است. میزان ناحیه فعال⁶ اشغالی مدار بر روی ویفر⁷ $0/00067$ میلی‌متر مربع می‌باشد.

کلمه‌های کلیدی: مرجع ولتاژ، مرجع توان پایین، مرجع ولتاژ پایین، مرجع ولتاژ نانووات، مرجع ولتاژ

بدون مقاومت

-
- ¹ - Proportional To Absolute Temperature
 - ² - Complementary To Absolute Temperature
 - ³ - Post layout simulation
 - ⁴ - Parts Per Million
 - ⁵ - Power Supply Rejection Ratio
 - ⁶ - Active area
 - ⁷ - Wafer