دانشگاه صنعتی خواجه نصیرالدین طوسی
دانشکده مهندسی برق
کتابخانه

۱۳۰۷

دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده مهندسی برق و کامپیوتر

پایان نامه دوره کارشناسی ارشد مهندسی برق- الکترونیک

طراحی و شبیه‌سازی مدار مرجع ولتاژ زیر یک ولت با توان پایین

توسط:

ایمان فخاریان دارابی نژاد

استاد راهنما:

دکتر مهدی احسانیان

زمستان ۱۳۹۳

دانشگاه صنعتی خواجه نصیرالدین طوسی
دانشکده مهندسی برق
کتابخانه
تاریخ ثبت: ۹۴/۱۲/۱۳
شماره دفتر ثبت: ۹۴/۸۲
شماره راهنما:

Scanned by CamScanner

چکیده

در این پایان‌نامه یک مدار مرجع ولتاژ پایین با توان پایین ارایه گردیده است. در مدار مرجع پیشنهادی تمامی ترانزیستورهای MOS در ناحیه زیرآستانه بایاس گردیده‌اند. در ساختار مدار برای کاهش حجم اشغالی بر روی ویفر و همچنین کاهش توان تلفاتی، از مقاومت استفاده نشده است، برای سازگاری بیشتر با تکنولوژی CMOS و جلوگیری از پیچیدگی مراحل ساخت، در مدار فقط از ترانزیستور MOS استفاده گردیده است. این مدار شامل سه بلوک اصلی می‌باشد. بلوک اول منبع جریان است که وظیفه تولید جریان در محدوده‌ی نانوآمپر را دارد، که در این پایان‌نامه یک منبع جریان، با جریان تولیدی ۲/۳ نانوآمپر، بدون استفاده از مقاومت ارایه می‌گردد. بلوک دوم تولید کننده ولتاژ PTAT[1] و بلوک سوم تولید کننده ولتاژ CTAT[2] می‌باشد. مدار مرجع ولتاژ در تکنولوژی ۰/۱۸ میکرومتر CMOS طراحی و شبیه‌سازی گردیده است. نتایج شبیه‌سازی پسا جانمایی[3] نشان می‌دهد که این مدار دارای جریان مصرفی ۱۷/۸ نانوآمپر در ولتاژ تغذیه ۰/۹ ولت می‌باشد. ولتاژ مرجع تولید شده در این مدار ۶۲۵ میلی‌ولت است که دارای تغییرات دمایی 13PPM[4]/°c در محدوده‌ی دمایی ۲۵- درجه سانتیگراد تا ۱۱۰ درجه سانتیگراد می‌باشد. مقدار PSRR[5] محاسبه شده در فرکانس ۱۰۰ هرتز ۴۲- دسی‌بل است. میزان ناحیه فعال[6] اشغالی مدار بر روی ویفر[7] ۰/۰۰۰۶۷ میلی‌متر مربع می‌باشد.

کلمه‌های کلیدی: مرجع ولتاژ، مرجع توان پایین، مرجع ولتاژ پایین، مرجع ولتاژ نانووات، مرجع ولتاژ بدون مقاومت

---

1 - Proportional To Absolute Temperature
2 - Complementary To Absolute Temperature
3 - Post layout simulation
4 - Parts Per Million
5 - Power Supply Rejection Ratio
6 - Active area
7 - Wafer

Scanned by CamScanner