دانشگاه صنعتی خواجه نصیرالدین طوسی
دانشکده مهندسی برق
کتابخانه

۱۳۰۷
دانشگاه صنعتی خواجه نصیرالدین طوسی
دانشکده مهندسی برق و کامپیوتر

پایان‌نامه دوره کارشناسی ارشد مهندسی برق–الکترونیک

بررسی سلول های لاجیکی چند ارزشی و کاربرد آن ها در طراحی بهینه سلول حافظه و آشکارساز فاز

توسط:

نیلوفر فراهانی

استاد راهنما:

دکتر مهدی احسانیان

دانشگاه صنعتی خواجه نصیرالدین طوسی
دانشکده مهندسی برق
کتابخانه
تاریخ ثبت: ۹۶/۲/۲۱
شماره دفتر ثبت: ۷۲۰۰۵
شماره راهنما: ۹۵/۸۰۵

زمستان ۱۳۹۵

Scanned by CamScanner

چکیده

منطق سه‌ارزشی سودمندی‌های قابل‌توجهی را در مقایسه با منطق دودویی نظیر کاهش ارتباطات درون تراشه‌ای و ساختارهای حسابی کارآمد، پیش روی طراحان VLSI قرار داده است. اغلب سیستم-هایی که در عمل با آن‌ها مواجه هستیم دارای عناصر حافظه هستند لذا سیستم باید در چارچوب مدارات ترتیبی مورد بررسی قرار بگیرد. مدارات ترتیبی میزان چشمگیری ازساختارهای محاسباتی داخل تراشه را به خود اختصاص می‌دهند لذا طراحی کارای فلیپ فلاپ سه ارزشی به عنوان عنصر اصلی در ساختارهای ترتیبی نقشی اساسی در بهره‌وری واحدهای محاسباتی سه‌ارزشی ایفا می‌کند. در این پایان‌نامه علاوه بر یک فلیپ فلاپ با هدف کاهش انرژی مصرفی و افزایش کارایی مدار، به طراحی یک آشکارساز فاز سه‌ارزشی کارآمد نیز پرداخته شده است. فلیپ فلاپ سه ارزشی پیشنهادی در مقایسه با طرح‌های سه ارزشی مطرح شده، اگرچه دارای تعداد ترانزیستور بیشتری است اما از ۷۵٪ بهبود در تاخیر، ۴۸٪ بهبود در توان و ۸۷٪ بهبود در انرژی مصرفی، برخوردار است. آشکارساز فاز ارائه شده نیز قادر به شناسایی اختلاف فاز در لبه بالارونده و لبه پایین رونده ساعت هم در منطق سه ارزشی و هم منطق دودویی است. همچنین در مقایسه با آشکارساز فاز دودویی مرسوم، دارای ۸۴٪ بهبود در توان مصرفی و ۶۹٪ بهبود در انرژی مصرفی است. شبیه سازی‌ها با استفاده از نرم افزار H-SPICE و در تکنولوژی ۴۵ نانومتر CMOS انجام شده است.

کلید واژه: منطق سه‌ارزشی، فناوری نانو، فلیپ فلاپ سه ارزشی، آشکارساز فاز سه‌ارزشی، توان مصرفی پایین.

Scanned by CamScanner