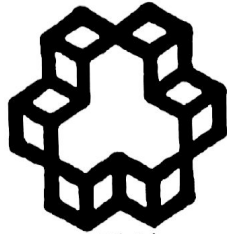


۱۳۴
۱۳/۱۳-۱۳۰۴
۹۰



۱۳۰۷

دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده مهندسی برق و کامپیوتر



پایان نامه دوره کارشناسی ارشد مهندسی برق - الکترونیک

طراحی و ساخت یک سنتز کننده فرکانسی از نوع کسری سیکما - دلتا در فرکانس 2.4 GH

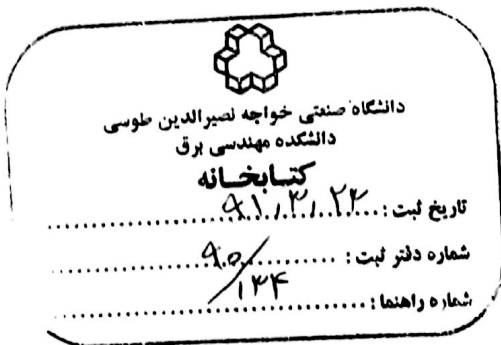
توسط:

محسن کربلایی محمد علی

استاد راهنما:

دکتر حسین شمسی

دکتر مهدی احسانیان



زمستان ۱۳۹۰

چکیده

در این پایان نامه یک سنتزکننده فرکانسی از نوع حلقه قفل فاز کسری-N با فرکانس خروجی 2.4 GHz تا 2.5 GHz طراحی و شبیه سازی شده است. در این PLL از مدولاتور دیجیتال دلتا-سیگما برای ایجاد عدد کسری استفاده شده است. پهنای باند PLL برابر با 60 kHz انتخاب شده است. با طراحی بهینه برای قسمت فرکانس بالای تقسیم کننده فرکانسی، مقدار توان مصرفی آن به 4.37 mW کاهش داده شده است. این تقسیم کننده می تواند فرکانس ورودی خود را به اعداد ۱۱۲ تا ۱۴۴ تقسیم کند. جریان پمپ بار برابر با $0.6 \mu A$ و بهره VCO برابر با 250 MHz/V قرار داده شده است. در این PLL از آشکار ساز فاز-فرکانس سه حالتی و مدولاتور دلتا-سیگمای HK_MASH 1-1-1 (Hosseini Kennedy MASH 1-1-1) با تعداد بیت های ورودی برابر با n=19-bit استفاده شده است. فرکانس مرجع برابر با 20 MHz قرار داده شد و به این ترتیب دقت فرکانسی در خروجی PLL حدود 38 Hz به دست آمد. شبیه سازی ها هم در سیمولینک و هم در نرم افزار ADS انجام شد. در شبیه سازی سیمولینک، مقدار نویز فاز خروجی PLL در فرکانس های 100 kHz و 2 MHz به ترتیب برابر با -95 dBc/Hz و -110 dBc/Hz به دست آمد. با استفاده از یک روش برای افزایش سرعت قفل شدن، مقدار زمان قفل شدن به ازای اعمال یک گام فرکانسی برابر با 100 MHz از $116 \mu s$ به $45 \mu s$ کاهش داده شد. شبیه سازی ها در ADS نشان داد اولاً PLL قفل می کند. ثانیاً توان مصرفی کل PLL برابر با 38 mW و جیتر پیروی به پیروی خروجی PLL برابر با 4.85 ps به دست آمد. در نهایت برای بررسی صحت عملکرد مدولاتور HK_MASH 1-1-1 این مدولاتور روی آی سی FPGA به نام Xilinx Spartan II XC2S150 پیاده سازی شد. خروجی FPGA به مبدل دیجیتال به آنالوگ به شماره آی سی AD7305 اعمال شد تا بتوان طیف قدرت خروجی آن را در Spectrum Analyzer مشاهده نمود.

کلید واژه: سنتزکننده فرکانسی، حلقه قفل فاز، مدولاتور دیجیتال دلتا-سیگما، نویز فاز، تن نادرست.