۱۰۸
۹۵/۱۳/۱۹ - ۲۰۸۷
- ۵

جسانه

۱۳۰۷

دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده مهندسی برق

پایان‌نامه دوره کارشناسی ارشد مهندسی برق–الکترونیک

بررسی و طراحی یک مدار کالیبراسیون جهت کاهش Spurs در سنتزکننده‌های فرکانسی

توسط:

وحید یونسی

استاد راهنما:

دکتر مهدی احسانیان

زمستان ۱۳۹۴

دانشگاه صنعتی خواجه نصیرالدین طوسی
دانشکده مهندسی برق
کتابخانه
تاریخ ثبت: ۹۵.۱۳.۱۹
شماره دفتر ثبت: ۹۴/۱۰۸
شماره راهنما:

Scanned by CamScanner

چکیده

اکثر فرکانس سازها برای دستیابی به‌دقت فرکانسی بالا از حلقه قفل فاز استفاده می‌کنند. اگر ولتاژ کنترل یک VCO اغتشاش متناوب داشته باشد، طیف خروجی کناربانده‌ای متقارنی حول حامل پیدا می‌کند. مقدار سیخک‌های[1] به وجود آمده بزرگ است به همین دلیل باید تدابیری برای کاهش آن اندیشیده شود. روش نوینی در جهت کاهش سیخک‌ها ارائه شد اما به دلیل احتمال برخی از مشکلات در پیاده‌سازی به روش بنیادی دیگری روی آوردیم. در این پایان‌نامه یک مدار کالیبراسیون جهت کاهش سیخک فرکانس ساز ارائه شده است. ابتدا PLL نمونه‌ای در فرکانس ۲/۲GHz در تکنولوژی ۰/۱۸ µm CMOS طراحی و شبیه‌سازی شده است و سپس با اضافه کردن یک مدار کالیبراسیون بر روی این PLL، ضربان[2] ناشی از بلوک PFD/CP بر روی ولتاژ کنترل در حالت شبیه‌سازی به‌صورت تصادفی رخ می‌دهد، که باعث کاهش ضربان نیز می‌شود. مدار کالیبراسیونی هم بر روی برد به‌صورت مجزا پیاده‌سازی شده است که اعمال این مدار بر روی یک PLL نمونه منتج به ۲۵dBc کاهش سطح سیخک‌ها شده است.

کلید واژه: سیخک، ضربان، فرکانس ساز، PLL.

---

[1] Spurs

[2] Ripple

Scanned by CamScanner