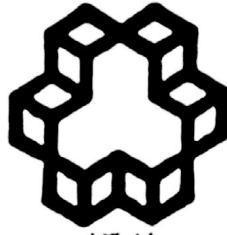


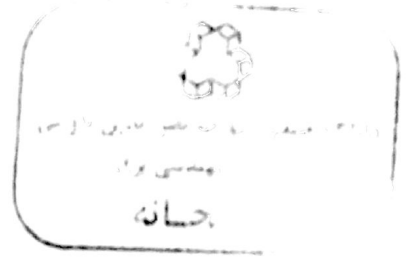
۱۵۸
۹۵,۳,۱۹ - ۲۰۹۷
- ۵۵



۱۳۰۷

دانشگاه صنعتی خواجه نصیرالدین طوسی

دانشکده مهندسی برق



بایان نامه دوره کارشناسی ارشد مهندسی برق-الکترونیک

بررسی و طراحی یک مدار کالیبراسیون جهت کاهش Spurs در سنتزکننده‌های فرکانسی

توسط:

وحید یونسی

استاد راهنما:

دکتر مهدی احسانیان

زمستان ۱۳۹۴

دانشگاه صنعتی خواجه نصیرالدین طوسی
دانشکده مهندسی برق
گروه مهندسی الکترونیک

تاریخ ثبت: ۹۵,۳,۱۹

شماره دفتر ثبت: ۹۴/۱۵۸

شماره راهنما:

چکیده

اکثر فرکانس سازها برای دستیابی به دقت فرکانسی بالا از حلقه قفل فاز استفاده می‌کنند. اگر ولتاژ کنترل یک VCO اغتشاش متناوب داشته باشد، طیف خروجی کنارباندهای متقارنی حول حامل پیدا می‌کند. مقدار سیخک‌های^۱ به وجود آمده بزرگ است به همین دلیل باید تدابیری برای کاهش آن اندیشیده شود. روش نوینی در جهت کاهش سیخک‌ها ارائه شد اما به دلیل احتمال برخی از مشکلات در پیاده‌سازی به روش بنیادی دیگری روی آوردیم. در این پایان‌نامه یک مدار کالیبراسیون جهت کاهش سیخک فرکانس ساز ارائه شده است. ابتدا PLL نمونه‌ای در فرکانس ۲/۲GHz در تکنولوژی CMOS ۰/۱۸ μm طراحی و شبیه‌سازی شده است و سپس با اضافه کردن یک مدار کالیبراسیون بر روی این PLL، ضربان^۲ ناشی از بلوک PFD/CP بر روی ولتاژ کنترل در حالت شبیه‌سازی به صورت تصادفی رخ می‌دهد، که باعث کاهش ضربان نیز می‌شود. مدار کالیبراسیونی هم بر روی برد به صورت مجزا پیاده‌سازی شده است که اعمال این مدار بر روی یک PLL نمونه منتج به ۲۵dBc کاهش سطح سیخک‌ها شده است.

کلید واژه : سیخک، ضربان، فرکانس ساز، PLL.

^۱ Spurs

^۲ Ripple